

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 63034994
PUBLICATION DATE : 15-02-88

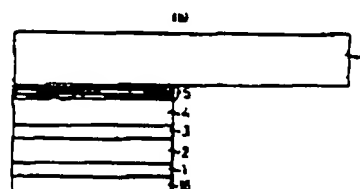
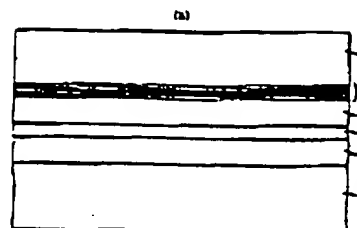
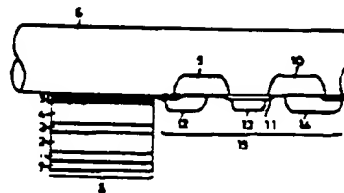
APPLICATION DATE : 29-07-86
APPLICATION NUMBER : 61179533

APPLICANT : MITSUBISHI ELECTRIC CORP.

INVENTOR : HIRONAKA MISAO:

INT.CL. : H01S 3/18 H01L 27/15

TITLE : PHOTOELECTRIC INTEGRATED
CIRCUIT DEVICE AND MANUFACTURE
THEREOF



ABSTRACT : PURPOSE: To easily manufacture the title device with a high reliability without deteriorating the crystallizability by a method wherein elements are formed on a III-V compound semiconductor substrate in order, multiple semiconductor layers required to form an optical element are successively formed and then an Si epitaxial layer to form an electronic circuit part through the intermediary of a strain relieving layer is provided.

CONSTITUTION: An AlGaAs lower clad layer 2 required to form a semiconductor laser part 8, an AlGaAs active layer 3, an AlGaAs upper clad layer 4 are epitaxially grown successively on a GaAs substrate 1 and then a strain relieving layer 5 and an Si epitaxial layer 6 are grown. Next, the part other than the part to form an electronic circuit part 15 is masked by photolithography using a photoresist 16 and the part only to form the electronic circuit part 15 is removed from the GaAs substrate 1 side to the strain relieving layer 5 by selective etching process to expose the rear surface of Si epitaxial layer 6. Finally, the electronic circuit part 15 is formed on the rear surface of Si epitaxial layer 6 further to form a laser electrode 7.

COPYRIGHT: (C)1988,JPO&Japio

TRANSLATION FROM JAPANESE

(19) JAPANESE PATENT OFFICE (JP)

(11) Unexamined Patent Application (Kokai) No. 63-34994

(12) Unexamined Patent Gazette (A)

(51)	Int. Cl.4:	Identification Symbol :	JPO File No.:
	H01S	3/18	7377-5F
	H01L	27/15	6819-5F

(43) Disclosure Date: 15 February, 1988

Request for Examination: Not filed

Number of Inventions: 2

(5 pages total [in original])

(54) Title of the Invention: **Optoelectronic integrated circuit device and
manufacture thereof**

(21) Application No. 61-179533

(22) Filing Date: 29 July, 1986

(72) Inventor YAGI, Tetsuya

Mitsubishi Electric Corp. Kita-Itami Works

1 Mizuhara 4-chome, Itami-shi, Hyogo-ken

(72) Inventor HIRONAKA, Misao

Mitsubishi Electric Corp. Kita-Itami Works

1 Mizuhara 4-chome, Itami-shi, Hyogo-ken

(71) Applicant MITSUBISHI ELECTRIC CORP.

2-3 Marunouchi 2-chome, Chiyoda-ku, Tokyo

(74) Agent: OIWA, Masuo, Patent Attorney (2 others)

SPECIFICATION

1. Title of the Invention

Optoelectronic integrated circuit device and manufacture thereof

2. Claims

- (1) An optoelectronic integrated circuit device comprising:
a plurality of semiconductor layers needed to constitute an optical element, formed sequentially on a III-V compound semiconductor substrate;
a strain relieving layer formed over the topmost of said semiconductor layers; and
an Si epitaxial layer formed over said strain relieving layer and having electronic circuitry formed thereon.
- (2) The optoelectronic integrated circuit device according to claim 1 wherein the III-V compound semiconductor substrate is GaAs.
- (3) The optoelectronic integrated circuit device according to claim 1 wherein the III-V compound semiconductor substrate is InP.
- (4) The optoelectronic integrated circuit device according to claim 1 wherein said plurality of semiconductor layers needed to constitute an optical element are composed of AlGaAs materials.
- (5) The optoelectronic integrated circuit device according to claim 1 wherein said plurality of semiconductor layers needed to constitute an optical element are composed of InGaAsP materials.

- (6) The optoelectronic integrated circuit device according to claim 1 wherein said strain relieving layer is composed of an AlAs-GaAs superlattice.
- (7) The optoelectronic integrated circuit device according to claim 1 wherein said strain relieving layer is composed of an Si-Ge superlattice.
- (8) The optoelectronic integrated circuit device according to claim 1 wherein said Si epitaxial layer has an electronic circuit situated on the opposite side from the strain relieving layer.
- (9) The optoelectronic integrated circuit device according to claim 1 wherein said Si epitaxial layer has an electronic circuit situated on the same side as the strain relieving layer.
- (10) A method for manufacture of an optoelectronic integrated circuit device, comprising the steps of:
- epitaxially growing in sequence on a III-V compound semiconductor substrate a plurality of semiconductor layers needed to constitute an optical element, a strain relieving layer, and an Si epitaxial layer; and
- conducting etching from said semiconductor substrate to said strain relieving layer so as to exposed said Si epitaxial layer, and forming electronic circuitry thereon.
- (11) The method for manufacture of an optoelectronic integrated circuit device according to claim 10 wherein epitaxy is carried out by a molecular beam method.
- (12) The method for manufacture of an optoelectronic integrated circuit device according to claim 10 wherein the epitaxy method for the plurality of semiconductor layers needed to constitute an optical element is a metalorganic method.

- (13) The method for manufacture of an optoelectronic integrated circuit device according to claim 10 wherein the epitaxy method for the strain relieving layer is a metalorganic method.
- (14) The method for manufacture of an optoelectronic integrated circuit device according to claim 10 wherein the epitaxy method for the Si epitaxial layer is pyrolysis of SiH_4 .
- (15) The method for manufacture of an optoelectronic integrated circuit device according to claim 10 wherein the epitaxy method for the plurality of semiconductor layers needed to constitute an optical element is a liquid phase method.
- (16) The method for manufacture of an optoelectronic integrated circuit device according to claim 10 wherein the epitaxy method for the strain relieving layer is a liquid phase method.

3. Detailed Description of the Invention

Field of Industrial Utilization

The present invention relates to an optoelectronic integrated circuit device (OEIC) and a method for manufacture thereof.

Prior Art

Fig. 3 is a perspective view of a prototype OEIC proposed by Yariv, described in Nikkei Electronics, 10 Feb. 1986, pp 218. In the drawing, 20 is a semiconducting GaAs substrate, 21 is a semiconductor laser portion formed over the GaAs substrate 20, 22 is an

FET portion formed over the GaAs substrate 20, and 23 is a PD (photodiode) portion formed over the GaAs substrate 20.

The operation of the device is now described.

Optical input is converted to an electrical signal by the PD portion 23 and is then amplified by the FET portion 22. The amplified signal current then drives the semiconductor laser portion 21 so that laser light is output.

Problems Which the Invention Attempts to Solve

In the conventional OEIC described above, the electronic circuitry must be formed on the GaAs substrate 20, so conventional IC fabrication techniques cannot be used without modification. OEICs employing Si substrates have been proposed as well, but in OEICs of this type the crystallinity of III-V compounds (e.g., GaAs, etc.) epitaxially grown on the Si substrate tends to be poor, resulting in poor reliability of the resultant laser or other optical element.

The present invention addresses this problem, and has as an object to provide a OEIC that is easily manufactured, and that suffers no loss of crystallinity in the epitaxial layers that make up the optical element, as well as a method for manufacture thereof.

Means Used to Solve the Problems

The OEIC which pertains to a first aspect of the invention comprises a plurality of semiconductor layers needed to constitute an optical element, formed sequentially on a III-V compound semiconductor substrate; a strain relieving layer formed over the topmost of

these semiconductor layers; and an Si epitaxial layer formed over the strain relieving layer and having electronic circuitry formed thereon.

The OEIC manufacturing method which pertains to another aspect of the invention comprises the steps of epitaxially growing in sequence on a III-V compound semiconductor substrate a plurality of semiconductor layers needed to constitute an optical element, a strain relieving layer, and an Si epitaxial layer; and conducting etching from the semiconductor substrate to the strain relieving layer so as to exposed said Si epitaxial layer, and forming electronic circuitry thereon.

Operation of the Invention

According to the invention, circuitry is formed on the Si epitaxial layer, improving reliability.

According to the manufacturing method of the invention, the Si epitaxial layer is grown over the plurality of semiconductor layers needed to constitute an optical element, via a strain relieving layer interposed therebetween.

Description of the Embodiments

An embodiment of the OEIC of the invention is depicted in cross-section in Fig. 1. In the drawing, 1 is a GaAs substrate; 2, 3, and 4 are semiconductor layers needed to constitute an optical element, specifically, an AlGaAs bottom cladding layer, an AlGaAs active layer, and an AlGaAs top cladding layer; 5 is a strain relieving layer consisting of an AlAs-GaAs superlattice; 6 is an Si epitaxial layer; 7 is a laser electrode; 8 is a semiconductor laser portion constituting the optical element; and 15 is an electronic circuit

portion composed of a source region 9, a drain region 10, a gate oxide film 11, a source electrode 12, a gate electrode 13, and a drain electrode 14, which elements make up an FET.

In the OEIC of the invention, then, optical input/output is performed by an AlGaAs semiconductor laser portion 8, an LED, and a PD (not shown). Signal processing (amplification and the like) and driving of the optical element are performed by the electronic circuit portion 15 located on the Si epitaxial layer 6. As the electronic circuit portion 15 is formed on the Si epitaxial layer 6, the device can be fabricated using conventional IC processes.

The OEIC manufacturing method of the invention is now described making reference to Figs. 2(a) and (b). Symbols identical to those in Fig. 1 designate corresponding elements. 16 is a photoresist.

Referring first to Fig. 2(a), the layers needed to constitute semiconductor laser portion 8, namely, an AlGaAs bottom cladding layer 2, an AlGaAs active layer 3, and an AlGaAs top cladding layer 4, are epitaxially grown in sequence on GaAs substrate 1. The strain relieving layer 5 and Si epitaxial layer 6 are then grown. Next, referring to Fig. 2(b), portions [of the Si epitaxial layer] other than that where electronic circuit portion 15 will be formed are masked with a photoresist 16 using a photolithographic process, and then only that area where electronic circuit portion 15 will be formed is selectively etched to remove from the GaAs substrate 1 side [all layers] down to the strain relieving layer 5, thereby exposing the back face of the Si epitaxial layer 6. Next, using ordinary IC processes, the electronic circuit portion 15 is formed on the back face of the Si epitaxial layer 6, and the laser electrode 7 is formed.

According to the OEIC manufacturing method of the invention, the layers needed to constitute semiconductor laser portion 8, namely, AlGaAs bottom cladding layer 2, AlGaAs active layer 3, and AlGaAs top cladding layer 4, are epitaxially grown in sequence, and an Si epitaxial layer 6 is then grown thereon via a strain relieving layer 5. Accordingly, the AlGaAs bottom cladding layer 2, AlGaAs active layer 3, and AlGaAs top cladding layer 4 that constitute the semiconductor laser portion 8 experience no loss in crystallinity.

In the preceding embodiment, electronic circuit portion 15 is formed on the back face of Si epitaxial layer 6, but could of course be provided to the front face if so desired.

In the preceding embodiment, GaAs is used for the substrate and AlGaAs materials are used for the semiconductor layers needed to constitute the optical element, but it would be possible to instead use InP for the substrate and InGaAsP materials for the semiconductor layers needed to constitute the optical element.

In the preceding embodiment, an AlAs-GaAs superlattice is used for the strain relieving layer 5, but it would be possible to use an Si-Ge superlattice instead.

Any method selected from molecular beam methods, metalorganic methods, pyrolysis methods, and liquid phase methods may be used for epitaxy of the epitaxial layers.

Effects of the Invention

The OEIC of the invention set forth herein comprises a plurality of semiconductor layers needed to constitute an optical element, formed sequentially on a III-V compound semiconductor substrate; a strain relieving layer formed over the topmost of these semiconductor layers; and an Si epitaxial layer formed over this strain relieving layer and

having electronic circuitry formed thereon, whereby the electronic circuit portion may be formed easily, and high reliability may be achieved.

The OEIC manufacturing method of the invention comprises the steps of epitaxially growing in sequence on a III-V compound semiconductor substrate a plurality of semiconductor layers needed to constitute an optical element, a strain relieving layer, and an Si epitaxial layer; and conducting etching from the semiconductor substrate to the strain relieving layer so as to exposed said Si epitaxial layer, and forming electronic circuitry thereon, whereby there is afforded a method for manufacture of highly reliable OEICs by a simple manufacturing process without any loss of crystallinity.

4. Brief Description of the Drawings

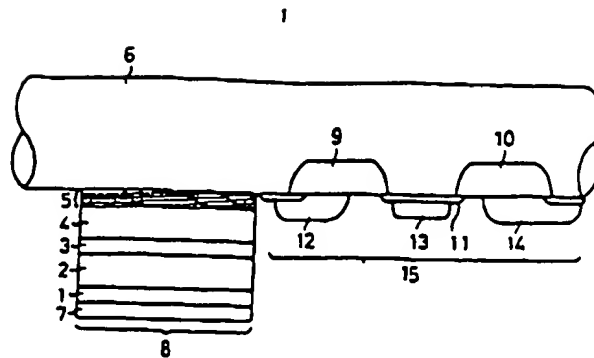
Fig. 1 is a sectional view showing an embodiment of the OEIC of the invention; Fig. 2 is a sectional view showing an embodiment of the OEIC manufacturing method of the invention; and Fig. 3 is a sectional view of a conventional OEIC.

In the drawings, 1 denotes a GaAs substrate; 2 an AlGaAs bottom cladding layer; 3 an AlGaAs active layer, 4 an AlGaAs top cladding layer; 5 a strain relieving layer; 6 an Si epitaxial layer; 7 a laser electrode; 8 a semiconductor laser portion; 9 a source region; 10 a drain region; 11 a gate oxide film; 12 a source electrode; 13 a gate electrode; 14 a drain electrode; and 15 an electronic circuit portion.

Identical symbols in the drawings designate corresponding elements.

Agent: OIWA, Masuo, Patent Attorney (2 others)

Fig. 1



[key]

- 1: GaAs substrate
- 2: AlGaAs bottom cladding layer
- 3: AlGaAs active layer
- 4: AlGaAs top cladding layer
- 5: strain relieving layer
- 6: Si epitaxial layer
- 7: laser electrode
- 8: semiconductor laser portion
- 9: source region
- 10: drain region
- 11: gate oxide film
- 12: source electrode
- 13: gate electrode
- 14: drain electrode
- 15: electronic circuit portion

Fig. 2

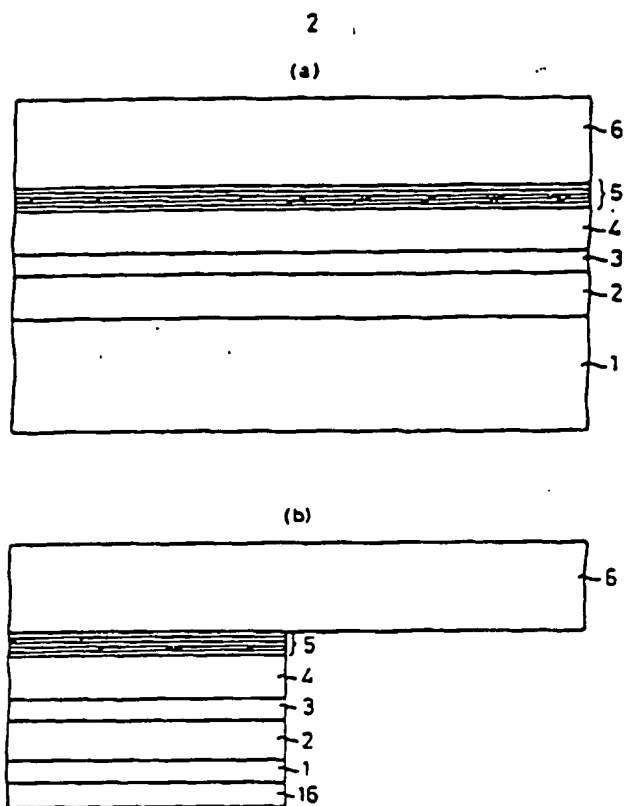
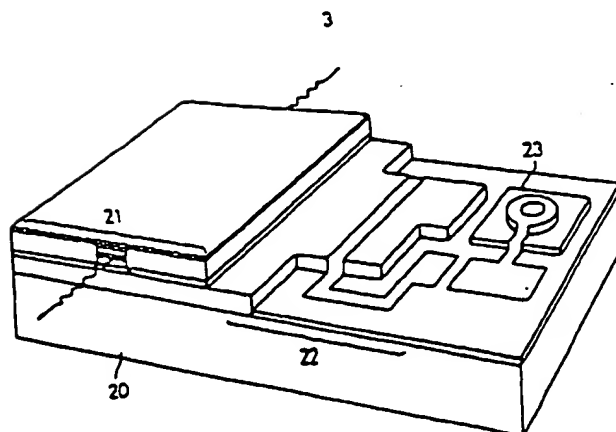


Fig. 3



PROCEDURAL AMENDMENT (Voluntary)

18 March, 19887

To the Patent Office Commissioner

1. Indication of Case

Patent Application No. 61-179533

2. Title of the Invention: Optoelectronic integrated circuit device and manufacture thereof

3. Amendant

Relationship to case Applicant

Address 2-3 Marunouchi 2-chome, Chiyoda-ku, Tokyo

Name (601) Mitsubishi Electric Corp.

Representative: Shiki Moritoshi

4. Agent

Address 2-3 Marunouchi 2-chome, Chiyoda-ku, Tokyo

Name (7375) Oiwa, Masuo, Patent Attorney

(contact 03(213)3421 Patent Section)

5. Amended Item(s)

Detailed Description of the Invention

6. Particulars of Amendment(s)

The passage "According to the invention ... improving ... " appearing on page 6
lines 14-15 is amended as follows.

"According to the invention, the optical element portion is composed of a group of epitaxial layers grown on a compound semiconductor substrate, and the electronic circuit portion is formed on the Si epitaxial layer, improving reliability."

⑫ 公開特許公報(A)

昭63-34994

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)2月15日

H 01 S 3/18
H 01 L 27/15

7377-5F
6819-5F

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 光電子集積回路装置およびその製造方法

⑯ 特 願 昭61-179533

⑰ 出 願 昭61(1986)7月29日

⑱ 発 明 者 八 木 哲 哉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 広 中 美 佐 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

光電子集積回路装置およびその製造方法

2. 特許請求の範囲

(1) II-V族化合物半導体基板上に順次形成された光素子を構成するのに必要な複数の半導体層と、これらの半導体層の最上部に形成された歪緩和層と、この歪緩和層上に形成された電子回路部が形成されるSiエピタキシャル層とで構成したことを特徴とする光電子集積回路装置。

(2) II-V族化合物半導体基板がGaAsであることを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(3) II-V族化合物半導体基板がInPであることを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(4) 光素子を構成するのに必要な複数の半導体層がAlGaAs系材料で構成されたことを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(5) 光素子を構成するのに必要な複数の半導体層がInGaAsP系材料で構成されたことを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(6) 歪緩和層がAlAs-GaAs超格子で構成されたことを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(7) 歪緩和層がSi-Ge超格子で構成されたことを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(8) Siエピタキシャル層は電子回路を歪緩和層と反対側の面に構成したものであることを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(9) Siエピタキシャル層は電子回路を歪緩和層と同じ側の面に構成したものであることを特徴とする特許請求の範囲第(1)項記載の光電子集積回路装置。

(10) II-V族化合物半導体基板上に光素子を構成するのに必要な複数の半導体層、歪緩和層、Si

エピタキシャル層を順次エピタキシャル成長させる工程と、前記半導体基板から前記亜緩和層までをエッチングして前記Siエピタキシャル層を露出させて電子回路部を形成する工程とを含むことを特徴とする光電子集積回路装置の製造方法。

(11) エピタキシャル成長が分子線法によるものであることを特徴とする特許請求の範囲第(10)項記載の光電子集積回路装置の製造方法。

(12) 光素子を構成するのに必要な複数の半導体層の成長法が有機金属法であることを特徴とする特許請求の範囲第(10)項記載の光電子集積回路装置の製造方法。

(13) 亜緩和層の成長法が有機金属法であることを特徴とする特許請求の範囲第(10)項記載の光電子集積回路装置の製造方法。

(14) Siエピタキシャル層の成長法がSiH₄の熱分解法であることを特徴とする特許請求の範囲第(10)項記載の光電子集積回路装置の製造方法。

(15) 光素子を構成するのに必要な複数の半導体層の成長法が液相法であることを特徴とする特許

請求の範囲第(10)項記載の光電子集積回路装置の製造方法。

(16) 亜緩和層の成長法が液相法であることを特徴とする特許請求の範囲第(10)項記載の光電子集積回路装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、光電子集積回路装置（以下OEICという）およびその製造方法に関するものである。

〔従来の技術〕

第3図は、例えば日経エレクトロニクス1986年2月10日号PP218に示されたYariv氏らの試作したOEICを示す斜視図である。この図において、20は半絶縁性GaAs基板、21は前記GaAs基板20上に形成された半導体レーザ部、22は前記GaAs基板20上に形成されたFET部、23は前記GaAs基板20上に形成されたPD（フォトダイオード）部である。

次に動作について説明する。

入力光はPD部23で電気信号に変換されたのち、FET部22により増幅され、そして、増幅された信号電流は半導体レーザ部21を駆動し、レーザ光が出力される。

〔発明が解決しようとする問題点〕

上記のような従来のOEICは、電子回路をGaAs基板20上に構成しなければならず、従来のIC製造技術をそのまま用いることができない。また、基板としてSiを用いるOEICも提案されているが、このタイプのOEICにおいては、Si基板上にエピタキシャル成長したGaAs等Ⅲ-V族化合物の結晶性が悪く、形成されるレーザ等の光素子の信頼性が悪いという問題点があった。

この発明は、かかる問題点を解決するためになされたもので、製造が容易で、かつ光素子を構成するエピタキシャル層の結晶性を損なうことのないOEICおよびその製造方法を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るOEICは、Ⅲ-V族化合物半

導体基板上に順次形成された光素子を構成するのに必要な複数の半導体層と、これらの半導体層の最上部に形成された亜緩和層と、この亜緩和層上に形成された電子回路部が形成されるSiエピタキシャル層とから構成したものである。

また、この発明の別の発明に係るOEICの製造方法は、Ⅲ-V族化合物半導体基板上に光素子を構成するのに必要な複数の半導体層、亜緩和層、Siエピタキシャル層を順次エピタキシャル成長させる工程と、半導体基板から亜緩和層までをエッチングしてSiエピタキシャル層を露出させて電子回路部を形成する工程とを含むものである。

〔作用〕

この発明においては、電子回路部がSiエピタキシャル層上に形成され、信頼性が向上する。

また、この発明の製造方法においては、亜緩和層を介してSiエピタキシャル層が光素子を構成するのに必要な複数の半導体層上に成長される。

〔実施例〕

第1図はこの発明のOEICの一実施例を示

す断面図である。この図において、1はGaAs基板、2, 3, 4はそれぞれ光素子を構成するのに必要な半導体層としてのAlGaAs下クラッド層、AlGaAs活性層、AlGaAs上クラッド層、5はAlAs-GaAs超格子からなる歪緩和層、6はSiエピタキシャル層、7はレーザ電極、8は光素子としての半導体レーザ部、15は電子回路部で、ソース領域9, ドレイン領域10, ゲート酸化膜11, ソース電極12, ゲート電極13, ドレイン電極14とから構成され、ここではFETが構成されている。

すなわち、この発明のOEICでは、光の入出力がAlGaAs系材料で構成された半導体レーザ部8, LED, PD(図示せず)などで行われ、増幅などの信号の処理および光素子の駆動は、Siエピタキシャル層6上に形成された電子回路部15で行われる。また電子回路部15をSiエピタキシャル層6上に形成しているの、従来のIC技術で形成することができる。

次に、第2図(a), (b)を用いてこの発明のO

GaAs上クラッド層4を順次エピタキシャル成長させた後、歪緩和層5を介してSiエピタキシャル層6を成長させるので、半導体レーザ部8を構成するAlGaAs下クラッド層2, AlGaAs活性層3, AlGaAs上クラッド層4内の結晶性を損なうことがない。

なお、上記実施例では電子回路部15をSiエピタキシャル層6の裏面に設けたものを示したが、表面に設けてもよいことはいうまでもない。

また、上記実施例では基板にGaAsを用い、半導体レーザ等の光素子を構成するのに必要な半導体層にAlGaAs系材料を用いたものを示したが、基板にInPを用い、半導体レーザ等の光素子を構成するのに必要な半導体層にInGaAsP系材料を用いてもよいことはいうまでもない。

さらに、上記実施例では歪緩和層5にAlAs-GaAs超格子を用いたが、SiGe超格子を用いてもよいことはいうまでもない。

またさらに、エピタキシャル層の成長方法としては、分子線法、有機金属法、熱分解法、液相法

OEICの製造方法について説明する。これらの図において、第1図と同一符号は同一部分を示し、16はフォトリソストである。

まず、第2図(a)に示すように、GaAs基板1上に半導体レーザ部8を構成するのに必要なAlGaAs下クラッド層2, AlGaAs活性層3, AlGaAs上クラッド層4を順次エピタキシャル成長させた後、歪緩和層5およびSiエピタキシャル層6を成長させる。次に第2図(b)に示すように、電子回路部15を形成する場所以外のところをフォトリソスト16を用いた写真製版技術によりマスクし、電子回路部15を形成する場所のみを選択エッチングによりGaAs基板1側から歪緩和層5まで除去し、Siエピタキシャル層6の裏面を露出させる。次いで、通常のIC技術によりSiエピタキシャル層6の裏面上に電子回路部15を形成するとともに、レーザ電極7の形成を行う。

すなわち、この発明のOEICの製造方法は、半導体レーザ部8を構成するのに必要なAlGaAs下クラッド層2, AlGaAs活性層3, Al

のいずれを用いてもよい。

〔発明の効果〕

この発明に係るOEICは以上説明したとおり、Ⅲ-V族化合物半導体基板上に順次形成された光素子を構成するのに必要な複数の半導体層と、これらの半導体層の最上部に形成された歪緩和層と、この歪緩和層上に形成された電子回路部が形成されるSiエピタキシャル層とから構成したので、電子回路部を容易に形成でき、信頼性も高いという効果がある。

また、この発明に係るOEICの製造方法は、Ⅲ-V族化合物半導体基板上に光素子を構成するのに必要な複数の半導体層、歪緩和層、Siエピタキシャル層を順次エピタキシャル成長させる工程と、半導体基板から歪緩和層までをエッチングしてSiエピタキシャル層を露出させて電子回路部を形成する工程とを含むので、容易な製造技術で結晶性を損なうことなく、高い信頼性のOEICの製造方法が得られるという効果がある。

4. 図面の簡単な説明

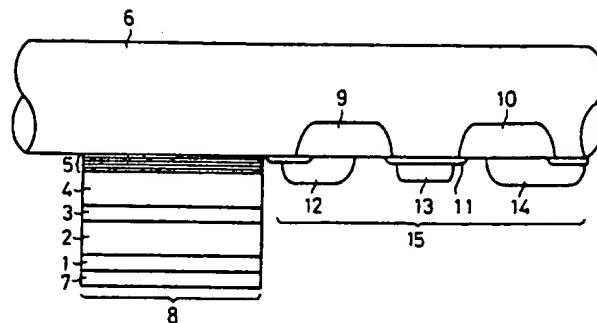
第 1 図

第1図はこの発明のOEICの一実施例を示す断面図、第2図はこの発明のOEICの製造方法の一実施例を示す断面図、第3図は従来のOEICを示す断面図である。

図において、1はGaAs基板、2はAlGaAs下クラッド層、3はAlGaAs活性層、4はAlGaAs上クラッド層、5は歪緩和層、6はSiエピタキシャル層、7はレーザ電極、8は半導体レーザ部、9はソース領域、10はドレイン領域、11はゲート酸化膜、12はソース電極、13はゲート電極、14はドレイン電極、15は電子回路部である。

なお、各図中の同一符号は同一または相当部分を示す。

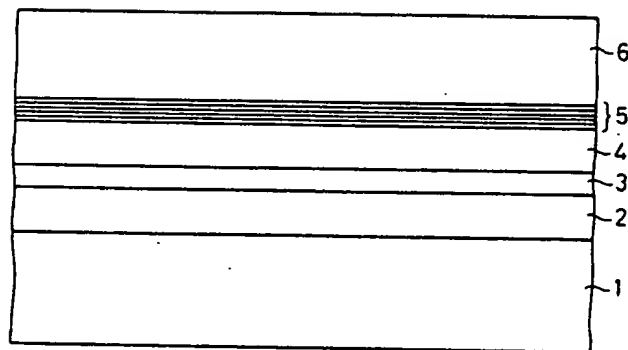
代理人 大 岩 増 雄 (外2名)



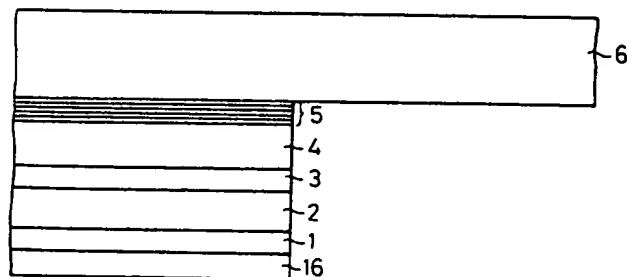
- 1: GaAs 基板
- 2: AlGaAs 下クラッド層
- 3: AlGaAs 活性層
- 4: AlGaAs 上クラッド層
- 5: 歪緩和層
- 6: Siエピタキシャル層
- 7: レーザ電極
- 8: 半導体レーザ部
- 9: ソース領域
- 10: ドレイン領域
- 11: ゲート酸化膜
- 12: ソース電極
- 13: ゲート電極
- 14: ドレイン電極
- 15: 電子回路部

第 2 図

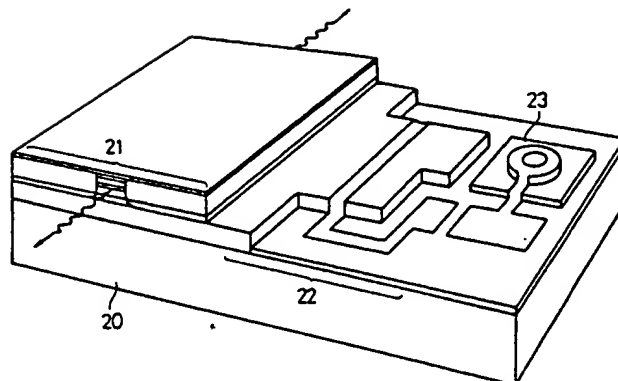
(a)



(b)



第 3 図



手 続 補 正 書 (白発)

62 3 18
昭和 年 月 日

特許庁長官殿

1. 事件の表示 特願昭 61-179533号
2. 発明の名称 光電子集積回路装置およびその製造方法
3. 補正をする者
 事件との関係 特許出願人
 住 所 東京都千代田区丸の内二丁目2番3号
 名 称 (601)三菱電機株式会社
 代表者 志 岐 守 哉
4. 代 理 人
 住 所 東京都千代田区丸の内二丁目2番3号
 三菱電機株式会社内
 氏 名 (7375)弁理士 大 岩 増 雄
 (連絡先03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書第6頁14～15行の「この発明においては、……向上する。」を、下記のように補正する。

「この発明においては、光素子部は化合物半導体基板上に成長したエピタキシャル層群により形成され、また、電子回路部がSiエピタキシャル層上に形成され、信頼性が向上する。」

以 上



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.